

(54) RESIN-SEALED SEMICONDUCTOR DEVICE

(11) 4-162767 (A) (43) 8.6.1992 (19) JP

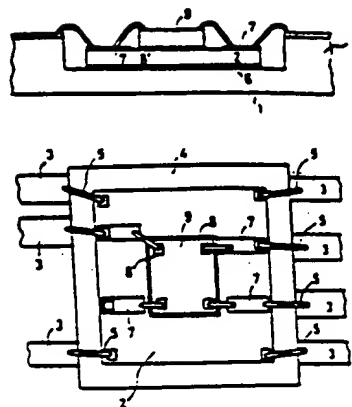
(21) Appl. No. 2-289227 (22) 26.10.1990

(71) TOSHIBA CORP(1) (72) TAKASHI KONNO

(51) Int. Cl.⁶ H01L25/065, H01L21/52, H01L21/56, H01L23/02, H01L25/07, H01L25/18

PURPOSE: To reduce cost and make compact the size of an envelop by mounting a semiconductor device with the bed of a depressed type frame and fixedly bonding a different semiconductor thereon, and connecting each device and the lead wires for the lead frame with a small-gauge wire based on a bonding process.

CONSTITUTION: A lead wire 3 is made of a conductive metal where a sheet body 4 made of the same material is laid out in a position lower than the lead wire 3 and a semiconductor device 2 is mounted on the sheet body 4 made of the same material. A semiconductor device 9 which is different from the semiconductor device 2, is lapped on the semiconductor device 2 and firmly bonded. A small-gauge wire 5 is used to connect both semiconductor devices 2 and 9, and the semiconductor device 2 with the lead wire electrically, which are covered with a resin sealing layer. In this manner, a depressed type lead frame is used so as to control the length of the small-gauge wire d5 during a bonding process. This construction makes it possible to reduce cost when a plurality of semiconductor devices 2 and 9 are to be installed to the same envelope and hence make compact the size of the envelop.



[Translation]

(19) Japan Patent Office
(12) Patent Release (A)

(11) Patent Application Release

Hei.4 (1992)-162767

(43) Release Date: June 8, 1992

(51) Int.Cl ⁵	Identification No.	Agency Control No.
H 01 L 25/065		
21/52	A	9055-4M
21/56	R	6412-4M
23/02	Z	7220-4M
25/07		
25/18		
		7638-4M H 01 L 25/08 B

Examination Request: Not yet requested
Items in Application: 1 (Total 4 pages)

(54) Name of Invention: Resin-sealed Semiconductor Device

(21) Patent Application: Hei.2(1990)-289227

(22) Application Date: October 26, 1990

(72) Inventor: Takashi Konno
c/o Toshiba Microelectronics, Ltd.
25-1 Ekimae-Honcho
Kawasaki-ku, Kawasaki-shi
Kanagawa Prefecture [Japan]

(71) Applicant: Toshiba Corp.
72 Horikawa-cho, Saiwai-ku
Kawasaki-shi, Kanagawa Pref.
[Japan]

(71) Applicant: Toshiba Micro-Electronics, Ltd.
25-1 Ekimae-Honcho
Kawasaki-ku, Kawasaki-shi
Kanagawa Prefecture [Japan]

(74) Agent: Norio Ogo, Patent Attorney

Specifications

1. **Name of Invention:** Resin-sealed Semiconductor Device
2. **Scope of Patent Application:** A resin-sealed semiconductor device characterized by being equipped with
 - a lead made of conductive metal,
 - a sheet made of the same substance, which is set in a position lower than the above-noted lead,
 - a semiconductor element mounted on the above-noted sheet of a same substance,
 - a different semiconductor element lapped atop the above-noted semiconductor element,
 - fine metal wires making electrical connections between both of the above-noted semiconductor elements and between the above-noted semiconductor elements and the leads, and
 - a resin-sealing layer that covers all of these.*
3. **Detailed Explanation of Invention**

Purpose of Invention

Field for Commercial utilization: This invention bears on a method of mounting semiconductor elements such as integrated circuit elements, and is particularly suited to packing two or more chips in a single package.

Usual Technology

Of late, semiconductor devices have constantly imcreasing integration, as typified by the D-RAM (dynamic random access memory). As ways to make them, there is the method of building onto a semiconductor wafer one or several kinds of semiconductor elements selected from a group consisting of such circuit components as monolithically passive elements, active elements and resistance; or there is the method of packaging multiple semiconductor elements within a single enclosure and mounted in a multi-chip format; or so-called module products also are adopted whereby, as with L components, elements that cannot be built into a semiconductor wafer are built in a hybrid format. Also, these generally are entirely covered by a sealing resin that protects them from the atmosphere outside.

*[Bullets not contained in original text, but added by translator to facilitate reading this long sentence.]

Again, by making existing semiconductor chip design into macrocells, arraying multiple macrocells on the same semiconductor wafer and wiring between each macrocell, one may have the core-based design or super-integration modes that make multiple semiconductor chips into a single chip.

And yet, to build semiconductor elements monolithically multiple electrically separate insular regions are indispensable. As means for electrical separation, such methods are adopted as the diffusion-separation mode and the total [word illegible] separation mode to meet the objective. Or, a layer of dielectric material is placed between each semiconductor element to insulate them electrically. Again, the bottom of each semiconductor chip is made to function as an earth line, although the bottom of semiconductors are, of course, not used as earth lines in semiconductor chips in which [word illegible] -type elements are mounted. For this reason, when mounting each semiconductor chip in multi-chip modes and hybrid modes, special care is required with electrical insulation or grounding between beds.

In electrically connecting such multiple semiconductor elements, one relies on a technique in which pads of conductive metal formed on each one are linked by fine metal wires through bonding.

Besides special mounting modes, the usual method is using lead frame 1 for a quad flat package (QFP), seal-out line package (SOP), etc., such as shown in Figure 1. I.e., by making up a surrounding frame (not in the figure), single semiconductor element 2 is formed as multiple continuous mounted units; and with the frame as a starting point and extending toward the center, multiple leads 3 are formed that are free at one end. Furthermore, the lead frame is made up by using other leads to fix a bed mounting the semiconductor elements in the frame and placing it on top of that on the same plane as the leads. Also the number of unit items will determine whether or not the lead frame is rectangular. As to the makeup of the lead frame itself, there of course are other kinds. A so-called depressed lead frame also is used in which the bed is in a lower position than the plane where the leads are positioned. Also, thin metal wires 5 are used to electrically connect leads 3 and semiconductor elements 2.

Means for the Invention to Resolve [sic]

Whether by the monolithic mode or the hybrid mode, making multiple semiconductor elements into one chip by the usual

techniques cannot but increase their size and drive up costs. That is, such difficulties arise as:

- (1) In making the enclosure as large as needed to give adequate space for arranging and affixing many semiconductor elements to the same bed, the merits of an elongated space are lost.
- (2) Further, when one places multiple semiconductor elements on the same semiconductor substrate, securing space for the wiring region needed to make connections between multiple semiconductor elements will increase the area for the semiconductor elements.
- (3) Costs increase due to making the enclosure larger.
- (4) From the outset one must have ready the mask for the photolithography that makes multiple semiconductor elements monolithically on the same semiconductor substrate.
- (5) Developing test programs needed for die sorter tests and increasing test time will lower the index.

This invention is was created because of such situations and has the purposes of constraining as much as possible the cost increases from mounting multiple semiconductor elements within the same enclosure, and of restraining enlargement of the enclosure.

Makeup of Invention

Means to Resolve Problems: The resin-sealed semiconductor device from this invention is characterized by its leads of conductive metal, sheets of the same material positioned lower than the above-noted leads, semiconductor elements mounted on the above-noted sheet of identical material, thin electrical wiring making electrical connections between both semiconductor elements and between semiconductor elements and the leads, and a sealing layer of resin covering these.

Effects: By mounting semiconductor elements in the bed of a so-called depressed lead frame and by using the technique of affixing other multiple semiconductor elements here and bonding thin metal wires between each element and the lead-frame's leads--i.e., with a three-dimensional array--one makes it into a single chip.

Application Example

I will explain the application example bearing on this invention while referring to Figures 2 through 4. Parts identical to those in the usual technology will have the former key numbers. As in Figure 2, lead frame 1 is made up of leads 3 and bed 4; and the flat surface positioning it is a so-called depressed type, being lower than the surface of

leads 3. On these metal surfaces is added a copper cladding layer; or this also may be copper and copper alloy. For the thin metal wire used in bonding, described later, gold, aluminum and copper or copper alloy can be used. However, for the thin metal wire of copper or copper alloy to lead frame 1 one naturally uses copper, copper alloy or copper clad material. And, the lead frame other than that also is partially plated with silver.

The reason for having chosen a mode for mounting the semiconductor elements three-dimensionally for the resin-sealed semiconductor device of this invention is because control, for instance, of a servo-motor will be handled, e.g., by a micro-computer and a DC-AC converter. I.e., by converting digital signals obtained, e.g., from 8-bit micro-computer 2 to analogue, that will be what controls operation of the servo-motor and what positions micro-computer 2's interface device 3-dimensionally.

Due to this, semiconductor elements such as 8-bit micro-computer 2 are mounted on bed 4 of lead frame 1. To make it stick, one uses the first solder layer and conductive adhesive layer 6. Also, as shown in Figures 2 and 3, on its top layer one laminates pattern 7 made of a conductive metal layer such as aluminum or aluminum alloy (Al-Si, Al-Si-Cu) so as to function as micro-computer 2's input/output terminal. Naturally, a sealing resin layer (not shown in the figures) is set near the top surface of micro-computer 2 to counteract radiation.

As seen in Figure 2, for the resin-sealed semiconductor device from this invention one uses a depressed type which positions bed 4 some 1.4 to 2.0mm lower than leads 3 so as to adopt the 3-dimensional mounting mode. By adjusting the length of thin metal wires 5 during the bonding process, one improves productivity. Also, such other semiconductor elements as DC-AC converter 9 are attached 3-dimensionally to the second solder layer or conductive adhesive layer 8, and are installed on the top surface of micro-computer 2.

Of course, input/output terminals 10 are installed on DC/AC converter 9 also, and ultrasonic bonding or heat-pressure bonding is used to affix and make electrical connections between microcomputer 2's input/output terminals and leads 3 of lead frame 1.

Since the bottoms of DC/AC converter 9, etc., built onto a wafer of monosilicon are to have earth lines, leads 3 serve that purpose, as is clear in Figure 3. For this, in using a vertical element such as a field-effect transistor as a

semiconductor element for analogue conversions, one devises electrical insulation, as shown in Figure 4, between the said one semiconductor element and another in pattern 7 formed on micro-computer 2's top surface by making discontinuity 10 so as to have an electrically floated state. The small square parts noted in pattern 7 of Figures 3 and 4 correspond to contact holes. Also other single semiconductor elements are shown in Figures 3 and 4; but these naturally are installed in multiples.

Effectiveness of Invention: To make multiple semiconductor elements into a single chip with the usual techniques requires masks for all processes starting from the first process. By contrast, under this application it is completed merely by adding the conductive metal pattern process for semiconductor elements which are the supports. So, it suffices to make just one new mask only for the process using the conductive-metal pattern. This makes it possible to greatly shorten the processing despite mounting three dimensionally. Also, it has great effectiveness in not needing newly developed die-sorter test programs even while it does bonding and mounting in the usual manner and so not entailing the added costs.

4. Simple Explanation of Figures

Figure 1 is a cross-sectional diagram showing the mounted state of the usual resin-sealed semiconductor device. Figure 2 is a cross-sectional diagram showing the mounted state of this application's resin-sealed semiconductor device. Figures 3 and 4 are top plane diagrams showing the mounted state of this application's resin-sealed semiconductor device.

- | | |
|---|--|
| 1: Lead frame | 6,8: Solder layer or conductive adhesive |
| 2: Semiconductor element (micro-computer) | 7 : Conductive metal pattern |
| 3: Lead | 9 : Other semiconductor element |
| 4: Bed | 10: Discontinuity |
| 5: Thin metal wire | |

Agent: Norio Ogo, Patent Attorney

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-162767

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)6月8日

H 01 L 25/065
21/52
21/56
23/02
25/07
25/18

A 9055-4M
R 6412-4M
Z 7220-4M

7638-4M H 01 L 25/08

B

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 樹脂封止型半導体装置

⑯ 特 願 平2-289227

⑰ 出 願 平2(1990)10月26日

⑱ 発 明 者 今 野 貴 志 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

⑲ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑲ 出 願 人 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1

⑳ 代 理 人 弁理士 大 胡 典 夫

明 細 書

1. 発明の名称

樹脂封止型半導体装置

2. 特許請求の範囲

導電性金属から成るリードと、前記リードより低位置に設置する同材質基板と、前記同材質基板にマウントする半導体素子と、前記半導体素子に重ねて覆着する他の半導体素子と、前記同半導体素子間、及び前記半導体素子とリード間を電気的に接続する金属細線と、これらを被覆する樹脂封止層を具備することを特徴とする樹脂封止型半導体装置

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は半導体素子例えば集積回路素子のマウント(Mount)方法に係わり、特に2チップ(Chip)以上を1パッケージ(Package)化するのに好適なものである。

(従来の技術)

最近の半導体装置はD(Dynamic) - RAM(Random Access Memory)に代表されるように集積度が益々向上している。その達成手段としては半導体ウエーハ(Wafer)にモノリシック(Monolithic)に受動素子、能動素子及び抵抗などの回路成分から成る群から選定した一種または複数の半導体素子(今後記述する半導体素子は同義語)を造り込む方法の他に、単独の外周器内に複数の半導体素子をマルチ・チップ(Multi Chip)方式でマウントして1パッケージ化する方法、更にL成分などのように半導体ウエーハ内に造り込めない素子などをハイブリッド(Hybrid)方式で造込んだいわゆるモジュール(Module)製品も採用されている。しかも、これらは全体を封止樹脂層で被覆して外界の雰囲気から保護しているのが一般的である。

更にまた、既存の半導体チップのデザイン(Design)をマクロセル(MacroCell)化し、同一半導体ウエーハに複数のマクロセルを配置し各マクロセル間を配線することにより、複数の半導

体チップを1チップ化するCore Based Design方式やSuper integration方式がある。

ところで、半導体素子をモノリシックに盛り込むには電氣的に分離した複数個の島領域が不可欠であり、電氣的な分離手段には拡散分離方式や完全誘電体分離方式などが目的に応じて取捨選択されている。また、各半導体素子間には絶縁物層を設置して電氣的な絶縁を図る。更にまた、各半導体チップの底部はアースライン(Earth Line)として構成するが、縦型素子が混在している半導体チップにおいては半導体底部をアースラインとして使用しないのは勿論である。そのためマルチチップ方式やハイブリッド方式では各半導体チップをマウントする際、ベッド間の電氣的な絶縁または接地などの特別な配慮が要る。

このような複数個の半導体素子の電氣的な接続には夫々に形成した導電性金属から成るパッド(Pad)間をボンディング(Bonding)法により金属細線で結ぶ手法に頼っている。

一方特殊なマウント方式の他には第1図に示

すようにQFP(Quad Flat Package)やSOP(Small Out Line Package)など用のリードフレーム(Lead Frame)1を利用する手法が普通である。即ち、周囲を図示しない枠体により構成することにより単独の半導体素子2がマウントされる単位体を複数個連続して形成し、枠体を起点として中央方向に延長しかつ末端を通過(Pass)としたリード3を多数個形成する。更にまた、枠体の中央部分に設置され、半導体素子をマウントするベッド(Bed)部を他のリードにより枠体に固定し、その上リードと同一の平面に位置させてリードフレームを構成する。また単位体の数により長尺物のリードフレームか否かを決めている。なお、リードフレーム自体の構造として他の種類があるのは勿論であり、ベッド部をリードが位置する平面より低位置に配置するいわゆるデプレス(Depress)型リードフレームも使用されている。またリード3と半導体素子2の電氣的な接続には金属細線5を利用している。

(発明が解決するための手段)

このような従来技術により複数個の半導体素子をワンチップ化するにはモノリシックまたはハイブリッド方式を問わず、大型化ならびにコストアップ(Cost Up)は避けられない。と言うのは①複数個の半導体素子を同一のベッド上に配置・固着するに当たっては十分なスペース(Space)が必要のために外圍器が大型化されるために、横方向のスペースメリットがなくなる。②更に複数個の半導体素子を同一の半導体基板に設置する際には複数個の半導体素子間を接続するのに必要な配線領域用スペースの確保と、半導体素子の面積が増大する。③外圍器の大型化によるコストアップさらにまた④同一の半導体基板に複数個の半導体素子をモノリシックに盛り込むフォトリソグラフィ(Photo Lithography)用マスク(Mask)を最初から用意しなければならない。⑤ダイソータ(Die Sorter)テスト(Test)に必要なテストプログラム(Program)開発やテスト時間の増大によるインデックス(Index)の低下などの難点が生じる。

本発明はこのような事情により成されたもので、

特に複数個の半導体素子を同一の外圍器にマウントするのに起こるコスト上昇を最小限に抑えと共に、外圍器の大型化を抑制することを目的とする。

(発明の構成)

(課題を解決するための手段)

導電性金属から成るリードと、前記リードより低位置に設置する同材質製板体と、前記同材質製板体にマウントする半導体素子と、前記半導体素子に重ねて固着する他の半導体素子と、前記両半導体素子間、及び前記半導体素子とリード間を電氣的に接続する金属細線と、これらを被覆する樹脂封止層に本発明に係わる樹脂封止型半導体装置の特徴がある。

(作 用)

いわゆるデプレス型のリードフレームのベッド部に半導体素子をマウントし、ここに複数個の他の半導体素子を固着すると共にボンディング方により各素子間及びリードフレームのリードを金属細線で結ぶ手法即ち3次元的な配置により1チ

ップ化している。

(実施例)

本発明に係わる実施例を第2図乃至第4図を参照して説明するが、従来技術と同一の部品には旧番号を付ける。第2図に示すようにリードフレーム1にはリード3とベッド部4が形成されており、それが位置する平面はリード3のそれより下方にあるいわゆるデプレス型である。リードフレーム1の材質としては純鉄、鉄-ニッケル合金、これらの金属表面にクラッド(Clud)層を設置した材料更に、銅、銅合金あるいは銅のクラッド材が適用可能であり、後述するボンディング用金属線としてはAu、Al、及び銅または銅合金が利用できる。ただし、銅または銅合金から成る金属線を用いたリードフレーム1には当然銅、銅合金あるいは銅のクラッド材を利用する。また、それ以外のリードフレームにはメッキ法により部分的に鍍膜を形成することもある。

ところで、本発明に係わる樹脂封止型半導体装置では3次元的に半導体素子をマウントする

装置では3次元的なマウント方法を採用するためにリードフレーム1には第2図に明らかなようにベッド部4をリード3より例えば1.2mm〜2.0mm程度低位置とするデプレス型を使用して、ボンディング工程時における金属線5の長さを調整することにより生産性を向上させる。更にマイコン2の頂面に設置する第2の半田層や導電性接着剤層8には他の半導体素子例えばD-Aコンバータ9を図3に示すように3次元的な配置とする。

D-Aコンバータ9にも当然入出力端子10…が設けられており、マイコン2の入出力端子7及びリードフレーム1のリード3との間を超音波ボンディングまたは熱圧着ボンディングにより金属線5…を固着して電氣的に接続する。

シリコン単結晶から成るウエーハに盛り込まれたD-Aコンバータ9などは座部がアースラインとなっているので、第3図に明らかなようにリード3がその役割を果たす。これに対してアナログ変換用半導体素子例えば検波素子例えば電界効果トランジスタ(Transistor)を利用する際には第

方式が採られているのは、例えばサーボモータ(Servo Motor)の制御を例えばマイコン(Micro Computer)とD-Aコンバータ(Converter)により行うためである。即ち、例えば8ビット(Bit)のマイコン2により得られるデジタル(Digital)信号をアナログ(Analogue)変換することによりサーボモータの運転を制御するものであり、マイコン2のインターフェース(Interface)用デバイス(Device)を3次元的に配置する。

このためリードフレーム1のベッド部4には半導体素子例えば8ビットマイコン2がマウントされており、その固着には第1の半田層や導電性接着剤層6を利用し、更に頂面には第2図と第3図に示すように導電性金属例えばAl、Al合金(Al-Si、Al-Si-Cu)からなるパターン(Pattern)7…を増設してマイコン2の入出力端子として接続させる。なおマイコン2の頂面付近には当然放射線対策が施された封止樹脂層(図示せず)が設置されている。

このように本発明に係わる樹脂封止型半導体装

4図に示すようにマイコン2の頂面に形成するパターン7の一部に不連続部分10を形成して電氣的に浮かした状態として当該半導体素子と他の半導体素子との電氣的な絶縁を図る。第3図及び第4図のパターン7内に記載した小さい四角の部分にはコンタクトホール(Contact Hole)に相当するものである。更に第3図及び第4図には単独の他の半導体素子が示されているが、当然複数個設置することもできる。

【発明の効果】

複数個の半導体素子を従来技術により1チップ化するのには工程の全部のマスクが要ると共に、最初の工程から使用しなければならないのに対して、本願では支持体である半導体素子に導電性金属パターンの工程を追加するだけで済むので、新規なマスクとしては一枚だけを造れば良いことになり、その上導電性金属パターン用工程にだけ流せば済むことになる。これにより3次元的なマウントに拘らず大幅な工程短縮が可能になる。しかも、ダイソータ試験プログラムも新規な開発が

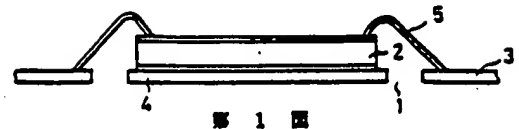
要らず、ボンディングやマウントも従来通りに行なえるなどによりコストアップをもたらさずすむという大きな効果がある。

4. 図面の簡単な説明

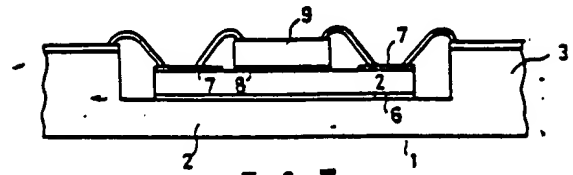
第1図は従来の樹脂封止型半導体装置のマウント状況を示す断面図、第2図は本題の樹脂封止型半導体装置のマウント状況を示す断面図、第3図及び第4図は本題の樹脂封止型半導体装置のマウント状況を示す上面図である。

- 1: リードフレーム、
- 2: 半導体素子 (マイコン)、
- 3: リード、
- 4: ペッド部、
- 5: 金属細線、
- 6, 8: 半田層または導電性接着剤、
- 7: 導電性金属パターン、
- 9: 他の半導体素子、
- 10: 不連続部。

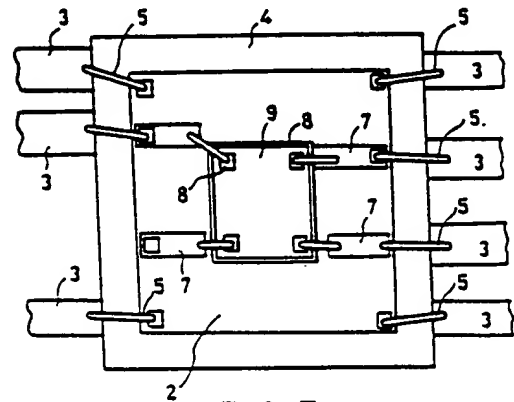
代理人 弁理士 大 胡 興 夫



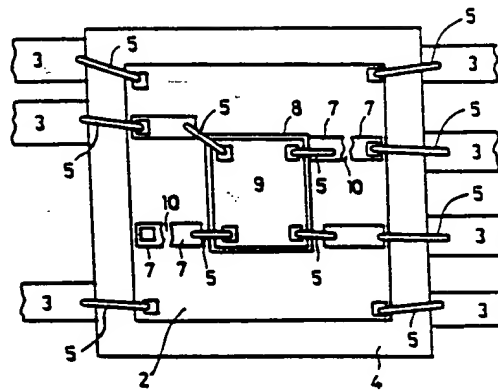
第 1 図



第 2 図



第 3 図



第 4 図

- 1: リードフレーム 2: 半導体素子 3: リード 4: ペッド部
- 5: 金属細線 6, 8: 半田層または導電性接着剤
- 7: 導電性金属パターン 9: 他の半導体素子 10: 不連続部